

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-152626

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

G02F 1/136  
G02F 1/1343

(21)Application number : 07-310999

(71)Applicant : KYOCERA CORP

(22)Date of filing : 29.11.1995

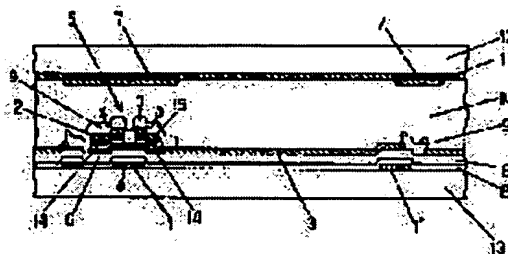
(72)Inventor : MATSUO SHIGEKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify production stages, to reduce a manufacturing cost, and to improve the yield of production by constituting the surface layers of scanning signal wirings of aluminum alloys added with high melting metals or the specific high melting metals.

**SOLUTION:** A transparent glass substrate 13 is provided thereon with image signal wirings 2 and the section signal wirings 1, 1' via insulating films 8, 8' so as to intersect with each other. Pixel electrodes 3 and thin-film transistors (TFTs) 5 of an inverted stagger type for supplying image signals to these pixel electrodes 3 are disposed in a matrix form at the intersected points of the image signal wirings 2 and the scanning signal wirings 1, 1'. The scanning wirings 1 are composed of the high melting metals, such as tungsten (W), molybdenum (Mo), titanium (Ti), nickel (Ni) and chromium (Cr), having oxide forming energy of  $\geq -300\text{kcal}$  or thier alloys, or the alloys composed of the high melting metals, such as tungsten (W), molybdenum (Mo), tantalum (Ta), nickel (Ni) and chromium (Cr), and aluminum.



## LEGAL STATUS

[Date of request for examination]

26.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-152626

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1343			1/1343	

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平7-310999

(22) 出願日 平成7年(1995)11月29日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 松尾 茂樹

滋賀県八日市市蛇溝町長谷野1166番地の6

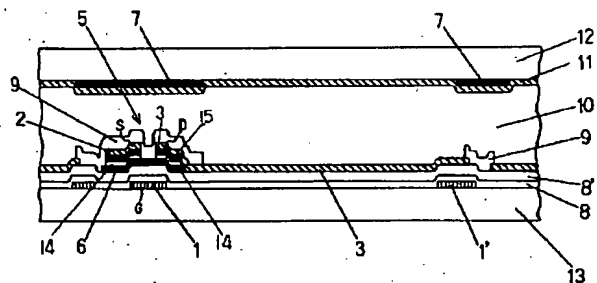
京セラ株式会社滋賀工場内

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 多数のフォトリソ工程によって製造工程の煩雑化し、製造コストの高コスト化し、および製造歩留りが低下するという問題があった。

【解決手段】 チャンネルエッチ型の薄膜トランジスタを用いると共に、この薄膜トランジスタと画像信号配線を覆うように絶縁性保護膜を形成し、この画像信号配線の引き出し端子部において、この画像信号配線の一部が露出し、走査信号配線の引き出し端子部において、この走査信号配線の一部が露出し、走査信号配線の表面層が高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ kcal}$ 以上の高融点金属で形成する。



## 【特許請求の範囲】

【請求項1】 複数の画像信号配線と、複数の走査信号配線とを絶縁膜を介して交差して設け、この画像信号配線と走査信号配線との交点に画素電極とこの画素電極に画像信号を供給する逆スタガ型の薄膜トランジスタとをマトリクス状に設け、前記画素電極とこの画素電極に対向して設けられた対向電極との間に液晶材料が保持されている液晶表示装置において、前記薄膜トランジスタがチャンネルエッチ型であり、前記薄膜トランジスタと前記画像信号配線を覆うように絶縁性保護膜が形成され、前記画像信号配線の引き出し端子部において、この画像信号配線の一部が露出し、前記走査信号配線の引き出し端子部において、この走査信号配線の一部が露出し、前記走査信号配線の表面層が高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ kca l}$ 以上の高融点金属から成ることを特徴とする液晶表示装置。

【請求項2】 前記画像信号配線が高抵抗半導体膜と低抵抗半導体膜とバリアメタル膜と透明導電膜の積層膜より成り、前記薄膜トランジスタのチャンネル部において、前記透明導電膜と前記バリアメタル膜と前記低抵抗半導体膜がほぼ同一形状にパターンニングされていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記薄膜トランジスタの半導体層がチャンネル層となる高抵抗半導体膜とオーミックコンタクト層となる低抵抗半導体膜とから成り、前記高抵抗半導体膜が窒素元素および炭素元素を含有しない下層半導体層と窒素元素または炭素元素を含有する上層半導体層から成ることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記表示領域の外周部において、前記複数の画像信号配線がトランジスタを介して接続された短絡配線を設け、このトランジスタのゲート電極とソース電極またはドレイン電極が前記絶縁膜を介して容量結合していることを特徴とする請求項2に記載の液晶表示装置。

【請求項5】 前記表示領域の外周部において、前記絶縁膜を介して前記複数の走査信号配線とこの複数の走査信号配線の静電気を放電するための短絡環配線を積層して設け、この積層部において前記保護膜および前記絶縁膜が除去され、前記短絡環配線と前記走査信号配線の一部を露出させたことを特徴とする請求項2に記載の液晶表示装置。

【請求項6】 前記絶縁膜を介して前記画素電極の裏面側に、この画素電極よりも前記画像信号配線側に張り出し、前記走査信号配線と同一材料から成る各画素毎に分離された帯状の遮光電極を設けたことを特徴とする請求項2に記載の液晶表示装置。

【請求項7】 走査信号配線の表面層に高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ kca l}$ 以上の高融点金属を設け、この走査信

号配線と画像信号配線とを絶縁膜を介して交差して設け、この走査信号配線と画像信号配線との交点に画素電極とこの画素電極に画像信号を供給するチャンネルエッチ型で逆スタガ型の薄膜トランジスタとをマトリクス状に設け、前記薄膜トランジスタと前記画像信号配線を覆うように絶縁性保護膜を形成し、前記画素電極とこの画素電極に対向して設けられた対向電極との間に液晶材料を注入する液晶表示装置の製造方法において、前記画素電極上の前記保護膜のパターニングと前記画像信号配線の引き出し端子部の前記保護膜のパターニングと前記走査信号配線の引き出し端子部の前記保護膜と前記絶縁膜のパターニングとを同時に行うことを特徴とする液晶表示装置の製造方法。

【請求項8】 前記画像信号配線を高抵抗半導体膜と低抵抗半導体膜とバリアメタル膜と透明導電膜の積層膜で形成すると共に、前記薄膜トランジスタのチャンネル部において、前記低抵抗半導体膜と前記バリアメタル膜と前記透明導電膜を同一のフォトマスクでパターンニングすることを特徴とする請求項6に記載の液晶表示装置の製造方法。

【請求項9】 前記絶縁膜が第1の絶縁膜と第2の絶縁膜との積層膜で形成され、前記第1の絶縁膜を成膜した後、前記第2の絶縁膜と前記高抵抗半導体膜と前記低抵抗半導体膜と前記バリアメタル膜とを連続して成膜することを特徴とする請求項7に記載の液晶表示装置の製造方法。

【請求項10】 前記走査信号配線の一部をマスクして、前記第1の絶縁膜と前記第2の絶縁膜と前記高抵抗半導体膜と前記低抵抗半導体膜と前記バリアメタル膜を成膜することを特徴とする請求項9に記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は液晶表示装置およびその製造方法に関し、特に各画素部分にスイッチング用薄膜トランジスタを有するアクティブマトリクス型の液晶表示装置およびその製造方法の改良に関する。

## 【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置は、画素電極とスイッチング用薄膜トランジスタ(TFT)が形成されたTFTアレイ基板と、対向電極が形成された対向電極基板とで主として構成される。

【0003】 従来のTFTアレイ基板の構造を図8ないし図11に基づいて説明する。図8は従来のTFTアレイ基板の電氣的構成を示す図、図9は画素部分を平面視した状態を示す図、図10は対向電極基板も含めた図9のA-A'線断面図、図11は対向電極基板も含めた図9のB-B'線断面図である。

【0004】 図8ないし図11において、31は走査信号配線、32は画像信号配線、33は画素電極、35は

3

薄膜トランジスタ、37はブラックマトリクス、38は絶縁膜、39は保護膜、40は液晶材料、41は対向電極、42、43は透明ガラス基板である。

【0005】透明ガラス基板43上に、複数の走査信号配線31と、複数の画像信号配線32とを絶縁膜38を介して交差して設け、この走査信号配線31と画像信号配線32との各交点に画素電極33とこの画素電極33に画像信号を供給する逆スタガ型の薄膜トランジスタ35とをマトリクス状に設けている。なお、薄膜トランジスタ35は、走査信号配線31から突出して形成されるゲート電極G、絶縁膜38で形成されるゲート絶縁膜、チャンネル領域となる高抵抗半導体膜36、オーミックコンタクト層となる低抵抗半導体膜44、およびソース電極S、ドレイン電極Dで構成される。このソース電極Sは画像信号配線32から突出して形成され、ドレイン電極Dは画素電極33に接続して形成される。

【0006】また、透明ガラス基板42上には、TFTアレ基板の画素電極33間からの光漏れを防止するためのブラックマトリクス37と対向電極41を設けている。画素電極33と対向電極41で液晶材料40を挟持し、薄膜トランジスタ35を介して画素電極33に選択的に画像信号を供給することにより、画像表示を行う。すなわち、走査信号配線31から供給される走査信号で薄膜トランジスタ35のオン・オフが制御され、画像信号配線32から供給される画像信号がソース電極Sとドレイン電極Dを経由して画素電極33に供給される。

【0007】なお、図8に示すように、走査信号配線31の一端部は、配線46を介して短絡環配線49に接続され、画像信号配線32の一端部は、高電圧保護用薄膜トランジスタ51、52を介して短絡環配線49に接続されている。この短絡環配線49は、製造過程において、絶縁膜38が静電破壊などしないようにするために設けるものであり、また高電圧保護用薄膜トランジスタ51には、各画像信号配線32を所定値以上の抵抗を介して接続することによって、各画像信号配線32の短絡や断線などの検査を行うことができるようにするために設けるものである。

【0008】このように構成されたTFTアレ基板の製造方法を図12ないし図14に基づいて説明する。図12は画素電極部分の製造工程を示し、図13は走査信号配線31の引出し端子周辺の製造工程を示し、図14は画像信号配線32の引出し端子周辺の製造工程を示す。

【0009】図12ないし図14において、34はエッチングストッパー膜、35は薄膜トランジスタ、38は絶縁膜、39は保護膜、43は透明ガラス基板、44は薄膜トランジスタ35の低抵抗半導体膜、49は短絡環配線、50は画像信号配線の外部引き出し端子、51は高電圧保護用薄膜トランジスタ、52は高電圧保護用薄膜トランジスタ51のゲート電極、53は高電圧保護用

4

薄膜トランジスタの電極接合部である。

【0010】まず、画素電極33部分の製造工程を図12に基づいて説明する。同図(a)に示すように、ガラス基板43上にタンタル(Ta)等の走査信号配線および薄膜トランジスタ35のゲート電極を兼ねた電極31、31'を選択的に形成する。

【0011】次に、同図(b)に示すように、窒化シリコン等の絶縁膜38を形成すると共に、アモルファスシリコン等の高抵抗半導体膜36、窒化シリコン等のエッチングストッパー膜34を成膜した後、高抵抗半導体膜36とエッチングストッパー膜34を同時に選択的にエッチングする。

【0012】次に、同図(c)に示すように、エッチングストッパー膜34がさらに小面積となるようにパターンニングする。

【0013】次に、同図(d)に示すように、不純物を添加したアモルファスシリコン膜等の低抵抗半導体膜44を成膜して選択的にエッチングする。

【0014】次に、同図(e)に示すように、透明導電膜(ITO)等から成る画素電極33を選択的に形成する。

【0015】次に、同図(f)に示すように、クロム(Cr)等の金属膜を成膜してパターンニングすることにより、画像信号配線32と薄膜トランジスタ35のソース電極(S)およびドレイン電極(D)を形成する。

【0016】最後に、同図(g)に示すように、窒化シリコン等から成る絶縁性保護膜39を成膜してパターンニングすることにより、画素電極33上を除いた部分に保護膜39を形成する。

【0017】次に、走査信号配線31の引出し端子周辺の製造工程を図13に基づいて説明する。

【0018】まず、図13(a)に示すように、走査信号配線31の端部が形成される。これは図11(a)と同一の工程である。

【0019】次に、図13(b)に示すように、絶縁膜38が形成される。これは図12(b)のと同じ工程である。

【0020】次に、図13(c)に示すように、絶縁膜38の一部をエッチングして走査信号配線31の一部を露出させる。この工程は、図12(d)と図12(e)の工程の間に行われる。

【0021】次に、図13(d)に示すように、走査信号配線31上に、透明導電膜(ITO)等で配線46を形成する。この配線46は、図12(e)に示す画素電極33と同時に形成される。

【0022】次に、図13(e)に示すように、配線46上にクロム(Cr)等の金属膜で短絡環配線49を形成する。この短絡環配線49は、図12(f)の画像信号配線32と同時に形成される。

【0023】最後に、保護膜39が形成され、配線46

10

20

30

40

50

5

が露出するように、保護膜39の一部がエッチング除去される。この保護膜39の形成とエッチングは、図12(g)に示す工程と同時に行われる。このようにして、露出した外部引き出し端子47が形成される。

【0024】次に、画像信号配線32の引出し端子周辺の製造工程を図14に基づいて説明する。

【0025】まず、図14(a)に示すように、高電圧保護用薄膜トランジスタ51のゲート電極52が図12(a)に示す走査信号配線31と同時に形成される。

【0026】次に、図14(b)に示すように、高電圧保護用薄膜トランジスタ51の高抵抗半導体膜36、エッチングストップ膜34を成膜した後、高抵抗半導体膜36とエッチングストップ膜34を同時に選択的にエッチングする。この工程は、図12(b)に示す工程と同一の工程である。

【0027】次に、図14(c)に示すように、エッチングストップ膜34が図12(c)に示す工程と同時に小面積にエッチングされる。

【0028】次に、図14(d)に示すように、高電圧保護用薄膜トランジスタ51の低抵抗半導体膜44が、図12(d)の工程と同時に選択的に形成される。

【0029】次に、図14(e)に示すように、絶縁膜38の一部をエッチングしてゲート電極52の一部を露出させる。この工程は、図12(d)と図12(e)の工程の間に行われ、図13(c)の工程と同時に行われる。

【0030】次に、図14(f)に示すように、高電圧保護用薄膜トランジスタ51のソース電極(S)およびドレイン電極(D)を形成する。この工程は、図12(f)の工程と同時に行われる。なお、高電圧保護用薄膜トランジスタ51のソース電極(S)とゲート電極(G)は、配線32を介して短絡して形成される。

【0031】次に、図14(g)に示すように、高電圧保護用薄膜トランジスタ51上に保護膜39を形成して完成する。この保護膜39は、図12(g)の保護膜39と同時に形成され、パターンニングされる。

#### 【0032】

【発明が解決しようとする課題】ところが、上記した従来の液晶表示装置では、薄膜トランジスタ35がエッチングストップ膜34を設けた薄膜トランジスタであることから、このエッチングストップ膜34をパターンニングするための工程(図12(c))が格別必要であると共に、低抵抗半導体膜44を成膜してパターンニングする工程(図12(d))が格別必要であること、また走査信号配線31の端子部にITOなどの透明導電膜を形成すると共に、高電圧保護用薄膜トランジスタ51のゲート電極Gとソース電極Sを直接接続することから、走査信号配線31の端子部と高電圧保護用薄膜トランジスタ51のゲート電極部52における絶縁膜38にコンタクトホールを形成するための格別の工程(図13(c))

6

および図14(e))が必要であること、および画像信号配線32と薄膜トランジスタ35のソース電極Sとドレイン電極Dを形成する前にITOなどの透明導電膜から成る画素電極33を形成することから、画像信号配線32と薄膜トランジスタ35のソース電極Sおよびドレイン電極Dを形成するための格別の工程(図12

(f))が必要であり、製造工程が煩雑で、製造コストが高くなり、製造歩留りも低下するという問題があった。すなわち、従来の液晶表示装置におけるTFTアレイ基板の製造工程では、図12(a)~(g)の各工程と図13(c)(図14(e))の工程でフォトマスクが必要であり、計8回のフォトリソ工程が必要であるという問題があった。

【0033】本発明は、このような従来技術の問題点を鑑みて発明されたものであり、多数のフォトリソ工程による製造工程の煩雑化、製造コストの高コスト化、および製造歩留りの低下を解消することを目的とする。

#### 【0034】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載した液晶表示装置では、複数の画像信号配線と、複数の走査信号配線とを絶縁膜を介して交差して設け、この画像信号配線と走査信号配線との交点に画素電極とこの画素電極に画像信号を供給する逆スタガ型の薄膜トランジスタとをマトリクス状に設け、前記画素電極とこの画素電極に対向して設けられた対向電極との間に液晶材料が保持されている液晶表示装置において、前記薄膜トランジスタがチャネルエッチ型であり、前記薄膜トランジスタと前記画像信号配線を覆うように絶縁性保護膜が形成され、前記画像信号配線の引き出し端子部において、この画像信号配線の一部が露出し、前記走査信号配線の引き出し端子部において、この走査信号配線の一部が露出し、前記走査信号配線の表面層が高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ k cal}$ 以上の高融点金属から成ることを特徴とする。

【0035】また、請求項7に記載した液晶表示装置の製造方法では、走査信号配線の表面層に高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ k cal}$ 以上の高融点金属を設け、この走査信号配線と画像信号配線とを絶縁膜を介して交差して設け、この走査信号配線と画像信号配線との交点に画素電極とこの画素電極に画像信号を供給するチャネルエッチ型で逆スタガ型の薄膜トランジスタとをマトリクス状に設け、前記薄膜トランジスタと前記画像信号配線を覆うように絶縁性保護膜を形成し、前記画素電極とこの画素電極に対向して設けられた対向電極との間に液晶材料を注入する液晶表示装置の製造方法において、前記画素電極上の前記保護膜のパターンニングと前記画像信号配線の引き出し端子上の前記保護膜のパターンニングと前記走査信号配線の引き出し端子部の前記保護膜と前記絶縁膜の

パターンニングとを同時に行うことを特徴とする。

#### 【0036】

【発明の実施の形態】以下、本発明に係る液晶表示装置およびその製造方法の実施形態を添付図面に基づき詳細に説明する。

【0037】図1ないし図4は請求項1に記載した液晶表示装置の一実施形態を示す図であり、図1はTFTアレレイ基板の電氣的構成を示す図、図2はTFTアレレイ基板を平面視した状態を示す図であり、図3は対向電極基板も含めた図2のA-A'線断面図、図4は対向電極基板も含めた図2のB-B'線断面図である。図1ないし図4において、1は走査信号配線、2は画像信号配線、3は画素電極、4は帯状の遮光電極、5は薄膜トランジスタ、6は高抵抗半導体膜、7はブラックマトリクス、8はゲート絶縁膜、9は保護膜、10は液晶材料、11は対向電極、12、13は透明ガラス基板である。

【0038】透明ガラス基板13上に、複数の画像信号配線2、2'と、複数の走査信号配線1、1'とを絶縁膜8、8'を介して交差して設け、この画像信号配線2、2'と走査信号配線1、1'との各交点に画素電極3とこの画素電極3に画像信号を供給する逆スタガ型の薄膜トランジスタ5とをマトリクス状に設けている。

【0039】上記走査信号配線1は、タングステン(W)、モリブデン(Mo)、チタン(Ti)、ニッケル(Ni)、クロム(Cr)等の酸化物形成エネルギーが300kcal以上の高融点金属又はその合金、もしくはタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)等の高融点金属とアルミニウムとの合金から成る。この走査信号配線1を積層膜で形成する場合は、少なくとも最上層を上記のような高融点金属もしくは高融点金属とアルミニウムとの合金で形成すればよい。

【0040】上記絶縁膜8は例えば酸化シリコン膜などから成り、絶縁膜8'は例えば窒化シリコン膜などから成る。

【0041】画像信号配線2、2'は、半導体不純物を含有しないか、少量しか含有しないアモルファスシリコンなどの高抵抗半導体膜6、半導体不純物を高濃度に含有する低抵抗半導体膜14、バリアメタル膜15およびITOなどの透明導電膜3で形成される。バリアメタル膜15はタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)等の高融点金属、もしくはこれら高融点金属とアルミニウムとの合金から成る。

【0042】画素電極3はITOなどの透明導電膜で形成される。

【0043】薄膜トランジスタ5は、走査信号配線1、1'から突出して形成されるゲート電極G、絶縁膜8、8'で形成されるゲート絶縁膜、チャネル領域となる高

抵抗半導体膜6、ソース電極Sおよびドレイン電極Dとなる低抵抗半導体膜14、バリアメタル膜15および透明導電膜3で構成される。この薄膜トランジスタ5は、チャネル部にエッチングストップ膜を形成しないチャネルエッチ型の薄膜トランジスタで構成される。

【0044】前記薄膜トランジスタのチャネル領域となる高抵抗半導体膜6は、窒素元素および炭素元素を含有しない下層半導体層と窒素元素または炭素元素を含有する上層半導体層とで形成するのが好ましい。このように薄膜トランジスタのチャネル領域となる高抵抗半導体膜6を窒素元素および炭素元素を含有しない下層半導体層と窒素元素または炭素元素を含有する上層半導体層とで形成すると良好な特性を維持したままで高抵抗半導体膜6と低抵抗半導体膜14の選択エッチングが可能となり、従来では2500~3000Åの厚みが必要であった高抵抗半導体膜6の厚みを500~1000Å程度まで薄くできると共に、画像信号配線2、2'の厚みも小さくでき、製造歩留りが向上する。

【0045】また、透明ガラス基板12上には、隣接する画素電極3同志の隙間からの光漏れを防止するためのブラックマトリクス7と対向電極11を設けている。

【0046】画像信号配線2と画素電極3との間の透明ガラス基板13上には、帯状の遮光電極4、4'が設けられている。この帯状の遮光電極4、4'は、走査信号配線1と同じレベルの層で形成される。したがって、画素電極3と画像信号配線6との間から光漏れが発生することは極力防止され、対向電極基板12側のブラックマトリクス7を細幅に形成でき、画素電極3部分の開口率を向上させることができる。

【0047】画素電極3と対向電極11で液晶材料10を挟持し、薄膜トランジスタ5で画素電極3に選択的に画像信号を供給することにより、画像表示を行う。すなわち、走査信号配線1から供給される走査信号で薄膜トランジスタ5がオンされ、画像信号配線2から供給される画像信号がソース電極Sとドレイン電極Dを経由して画素電極3に供給される。

【0048】図1に示すように、表示領域Xの外周部には、第一の短絡環配線27aと第二の短絡環配線19が設けられている。第一の短絡環配線27aには、各走査信号配線1が接続され、第二の短絡環配線19には、各画像信号配線2が高電圧保護用トランジスタ21を介して接続されている。

【0049】次に、本発明に係る液晶表示装置のTFTアレレイ基板側の製造方法を図5、図6および図7に基づいて説明する。図5、図6および図7において、1は走査信号配線、2は画像信号配線、3は画素電極、4は帯状の遮光電極、5は薄膜トランジスタ、6は高抵抗半導体膜、8、8'は絶縁膜、9は保護膜、10は液晶材料、13は透明ガラス基板、14は低抵抗半導体膜、15はバリアメタル膜、17は走査信号配線の外部引き出

10

20

30

40

50

9

し端子、18は放電型接続部、19は短絡環配線、20は画像信号配線の外部引き出し端子、21は容量結合型の高電圧保護用薄膜トランジスタ、22は高電圧保護用薄膜トランジスタ21のゲート電極、23は高電圧保護用薄膜トランジスタ21のゲート容量接続部である。

【0050】図5はTFTアレイ基板における画素部の製造工程を示す図である。まず、同図(a)に示すように、高融点金属を添加したアルミニウム合金や酸化物形成エネルギーが $-300\text{ kcal}$ 以下の高融点金属をスパッタリング法等でガラス基板1上に成膜してパターンニングすることにより、走査信号配線と薄膜トランジスタ5のゲート電極を兼ねた配線1、1'を選択的に形成する。なお、図3に示す帯状の遮光電極4、4'もこの走査信号配線1、1'と同時に形成される。

【0051】次に、同図(b)に示すように、2層構造の絶縁膜8、8'、高抵抗半導体膜6、低抵抗半導体膜14をプラズマCVD法等で連続して成膜した後に、高融点金属もしくはその合金からなるバリア金属15をスパッタリング法等で連続して成膜し、同一のフォトマスクにてバリア金属15、低抵抗半導体膜14、高抵抗半導体膜6を同時に選択的にエッチングする。本発明では、チャンネルエッチ型の薄膜トランジスタを形成することから、トランジスタのチャンネルとなる層に連続して、ソース・ドレイン電極となる層を形成できる。

【0052】次に、同図(c)に示すように、ITOなどから成る透明導電膜をスパッタリング法等で成膜し、透明導電膜3、バリア金属15、低抵抗半導体膜14を同一のフォトマスクで選択的にエッチングすることにより、画素電極3、高抵抗半導体膜6、低抵抗半導体膜14、バリア金属15および透明導電膜3から成る画像信号配線2とスイッチング用トランジスタ5を形成する。

【0053】最後に、同図(d)に示すように、窒化シリコン膜等から成る保護膜9をプラズマCVD法等で成膜してパターンニングすることにより、画素電極3上の保護膜9を除去してTFTアレイ基板を完成する。

【0054】図6は本発明のTFTアレイ基板における走査信号配線引き出し端子部周辺の製造工程を示す図である。

【0055】まず、図6(a)に示すように、基板13上に走査信号配線1の端部が形成される。この工程は図5(a)に示す工程と同一である。

【0056】次に、図6(b)に示すように、2層構造から成る絶縁膜8、8'が形成されると共に、高抵抗半導体膜6、低抵抗半導体膜14、およびバリア金属15から成る島状部が形成される。この工程は図5(b)に示す工程と同一である。

【0057】次に、図6(c)に示すように、島状部上にITOなどから成る透明導電膜16を形成して、走査信号配線上に一部重なって残るように透明導電膜16を

10

エッチング除去する。この工程は図5(c)に示す画素電極3を形成する工程と同一である。

【0058】次に、図6(d)に示すように、窒化シリコン膜などから成る保護膜9を形成して所定部分をエッチング除去することにより走査信号配線1の引き出し端子部周辺の加工が完成する。この工程は図5(d)の工程と同一である。走査信号配線1の引き出し端子部周辺を上述のように形成すると、放電型接続部18が形成されるため、配線16の電圧と配線1の電圧が大きく相違する場合、配線16の露出部分と配線1の露出部分で放電が発生して、絶縁膜8、8'等が破壊するのが防止される。本発明では、走査信号配線1が高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが $-300\text{ kcal}$ 以上の高融点金属で形成されることから、走査信号配線1の端部17においても、この走査信号配線1をITOなどの酸化物導電膜で被覆することなく外部回路と接続することができる。すなわち、液晶表示装置などにおいては、近時、外部回路(駆動用ICなど)との接続を容易に行うために、マイクロバンプボンディング法で駆動用ICを端子部に接続することが提案されている。マイクロバンプボンディング法では駆動用ICのパッドと信号配線の端子部を接合させることなく、当接させて接続しているために、従来は酸化物が形成されても導電性を呈するITOなどで形成されていたが、本発明では酸化物形成エネルギーが $-300\text{ kcal}$ 以上の高融点金属で形成した場合は、走査信号配線1の表面が殆ど酸化されることはなく、また高融点金属とアルミニウムの合金で形成した場合は、酸化膜が形成されても駆動用ICのパッド部などで容易に突き破ることができるために、この走査信号配線1の端子部をITOの酸化物導電膜で被覆しなくても実用性を有する。また異方性導電膜を使った従来の接続方法においても同様の効果が期待できる。その結果、走査信号配線1と酸化物導電膜16を接続するためのコンタクトホールなどを形成する工程は省略できる。また、保護膜9と絶縁膜8、8'を同時に除去することから、一回の工程で除去できる。

【0059】図7は本発明に係る液晶表示装置のTFTアレイ基板における画像信号配線2の引き出し端子部周辺の製造工程を示す図である。

【0060】まず、図7(a)に示すように、高電圧保護用トランジスタ21のゲート電極22を形成する。このゲート電極22は、図5(a)の工程と同一である。

【0061】次に、図7(b)に示すように、2層構造の絶縁膜8、8'を形成すると共に、高抵抗半導体膜6、低抵抗半導体膜14およびバリア金属15を形成して、高抵抗半導体膜6、低抵抗半導体膜14およびバリア金属15の端部をエッチング除去する。この工程は、図5(b)に示す工程と同一である。

【0062】次に、図7(c)に示すように、透明導電膜16を形成して、ゲート電極22上の透明導電膜1

10

20

30

40

50

6、バリアメタル膜15および低抵抗半導体膜14の一部を除去する。この工程は、図5(c)に示す工程と同一である。

【0063】次に、窒化シリコン膜などから成る保護膜9を形成して、一部を除去することにより、画像信号配線2の外部引き出し端子20を形成すると同時に、容量結合型の高電圧保護用薄膜トランジスタ21を形成する。すなわち、ゲート電極21、絶縁膜8、8'、半導体膜6、ソース電極S、ドレイン電極Dでトランジスタ21が形成される。この場合、ゲート電極Gとソース電極Sは容量結合している。

【0064】したがって、ソース電極Sとゲート電極Gを接続するためのコンタクトホールを絶縁膜8、8'に形成する必要はない。

【0065】上記のように、本発明に係る液晶表示装置のTFTアレイ基板は、画素電極3部分、走査信号配線1の端子部分、高電圧保護用トランジスタ21部分のいずれも4回のフォトリソ工程で形成することができる。

【0066】上記実施例では、走査信号配線1と短絡配線16を接続する場合に放電によって接続できるような構成としたが、図6(a)に示す工程において、走査信号配線1の端部を除去することなく残しておき、端部にマスクを設けて、図3(b)の絶縁膜8、8'、低抵抗半導体膜6、高抵抗半導体膜14およびバリアメタル膜15を形成し、次にマスクを除去して、透明導電膜16を形成してもよい。このように、マスクを用いると、走査信号配線1と短絡配線16を工程を煩雑化させることなく、直接接続することができる。

【0067】

【発明の効果】以上のように、本発明に係る液晶表示装置によれば、薄膜トランジスタがチャネルエッチ型であり、この薄膜トランジスタと画像信号配線を覆うように絶縁性保護膜が形成され、この画像信号配線の引き出し端子部において、この画像信号配線の一部が露出し、走査信号配線の引き出し端子部において、この走査信号配線の一部が露出し、走査信号配線の表面層が高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが300kcal以上の高融点金属から成ることから、フォトリソ工程が4回と少なくなり、製造工程が簡単になって、製造コストが減少し、製造歩留りも向上する。

【0068】また、本発明に係る液晶表示装置の製造方法によれば、走査信号配線の表面層に高融点金属を添加したアルミニウム合金または酸化物形成エネルギーが300kcal以上の高融点金属を設け、この走査信号配線と画像信号配線とを絶縁膜を介して交差して設け、この走査信号配線と画像信号配線との交点に画素電極とこの画素電極に画像信号を供給するチャネルエッチ型で逆スタガ型の薄膜トランジスタとをマトリクス状に設け、前記薄膜トランジスタと前記画像信号配線を覆うよ

うに絶縁性保護膜を形成し、前記画素電極とこの画素電極に対向して設けられた対向電極との間に液晶材料を注入する液晶表示装置の製造方法において、前記画素電極上の前記保護膜のパターニングと前記画像信号配線の引き出し端子上の前記保護膜のパターニングと前記走査信号配線の引き出し端子部の前記保護膜と前記絶縁膜のパターニングとを同時に行うことから、フォトリソ工程が4回と少なくなり、製造工程が簡単になって、製造コストが減少し、製造歩留りも向上する。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置のTFTアレイ基板を示す図である。

【図2】本発明に係る液晶表示装置の一画素の拡大図である。

【図3】図1のA-A'線断面図である。

【図4】図1のB-B'線断面図である。

【図5】画素部の製造工程順の断面図である。

【図6】走査信号配線の引出し端子周辺の工程断面図である。

【図7】画像信号配線の引出し端子周辺の工程断面図である。

【図8】従来の液晶表示装置のTFTアレイ基板を示す図である。

【図9】従来の液晶表示装置の一画素の拡大図である。

【図10】図8のA-A'線断面図である。

【図11】図8のB-B'線断面図である。

【図12】画素部の製造工程順断面図である。

【図13】走査信号配線の引出し端子周辺の工程断面図である。

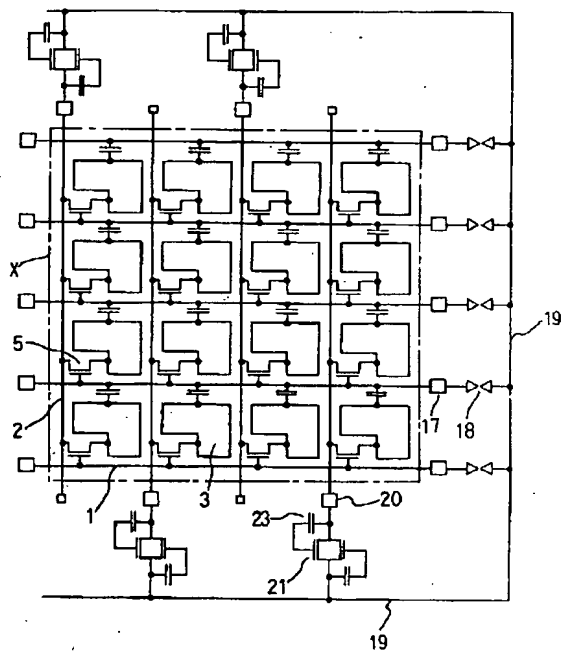
【図14】画像信号配線の引出し端子周辺の工程断面図である。

【符号の説明】

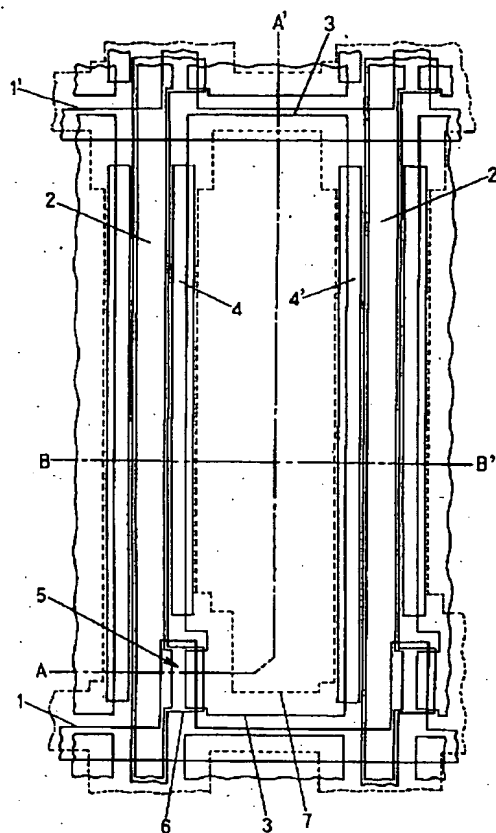
1, 31・・・走査信号配線、2, 32・・・画像信号配線、3, 33・・・画素電極、4・・・帯状の遮光電極、5, 35・・・薄膜トランジスタ、6, 36・・・高抵抗半導体膜、7, 37・・・ブラックマトリクス、8, 38・・・ゲート絶縁膜、9, 39・・・保護膜、10, 40・・・液晶材料、11, 41・・・対向電極、12, 13, 42, 43・・・透明ガラス基板、14, 44・・・低抵抗半導体膜、15・・・バリアメタル膜、16・・・透明導電膜、17, 47・・・走査信号配線の外部引き出し端子、18・・・放電型接続部、19, 49・・・短絡環配線、20, 50・・・画像信号配線の外部引き出し端子、21・・・容量結合型の高電圧保護用薄膜トランジスタ、22・・・高電圧保護用薄膜トランジスタ21のゲート電極、23・・・高電圧保護用薄膜トランジスタ21のゲート容量接続部、34・・・エッチングストッパー膜、45・・・金属膜、51・・・高電圧保護用薄膜トランジスタ、52・・・高電圧保護用薄膜トランジスタ51のゲート電極、53・



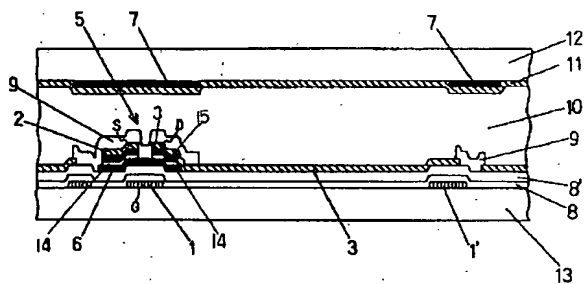
【図 1】



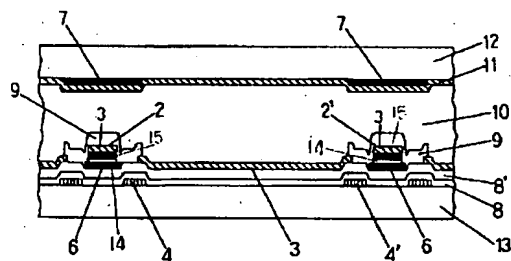
【図2】



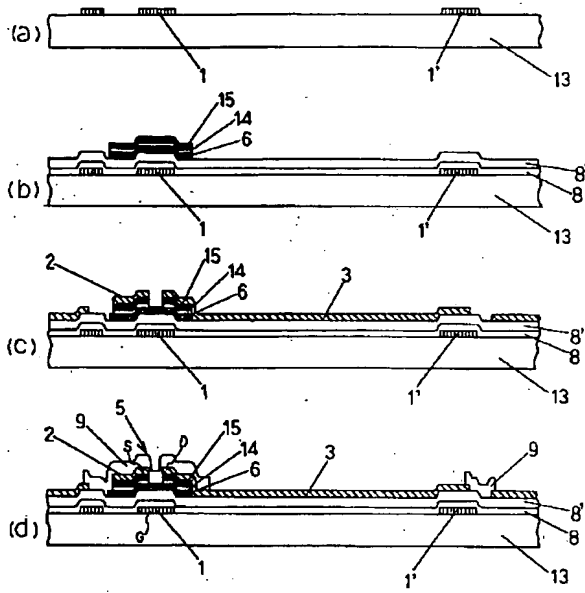
【図 3】



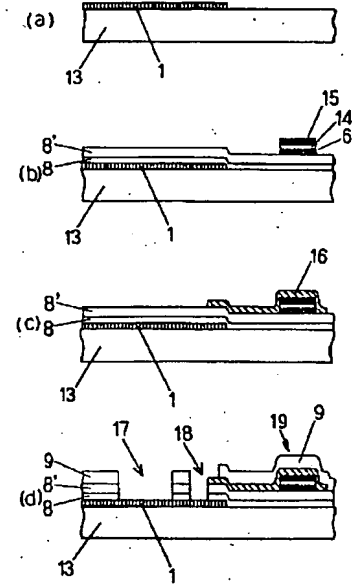
【図 4】



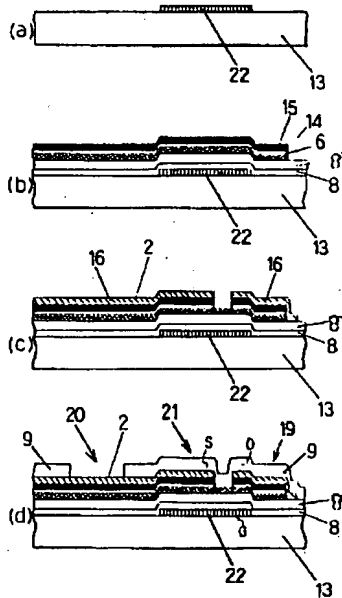
【図5】



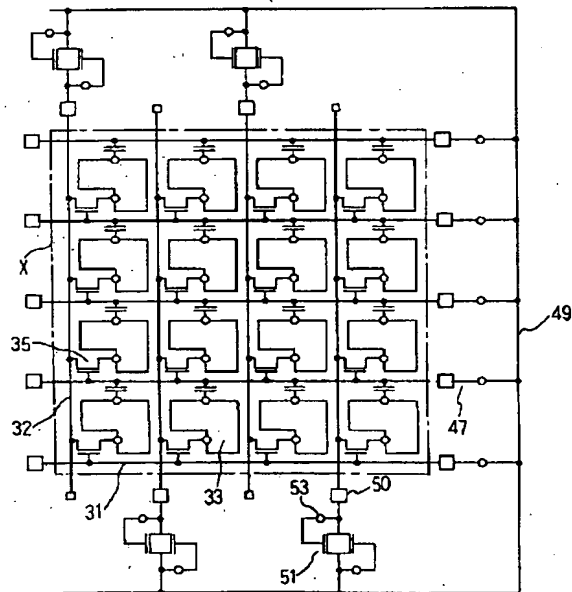
【図6】



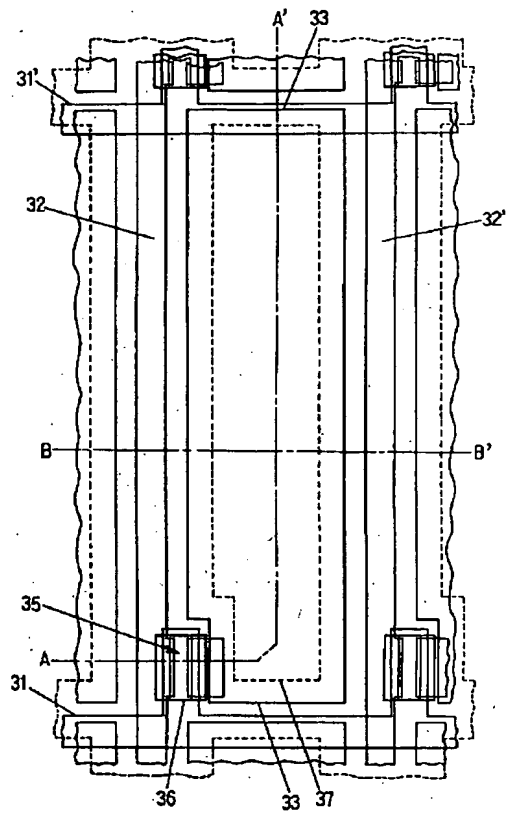
【図7】



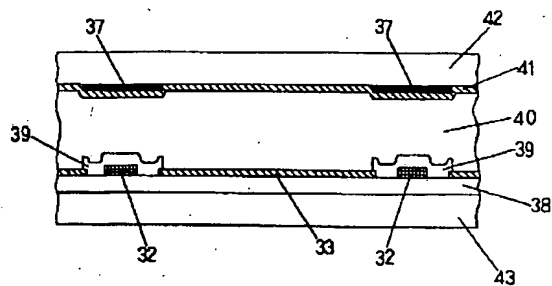
【図8】



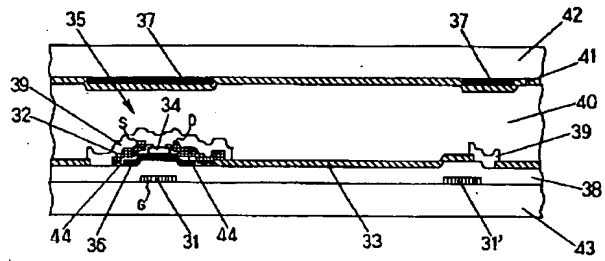
【図9】



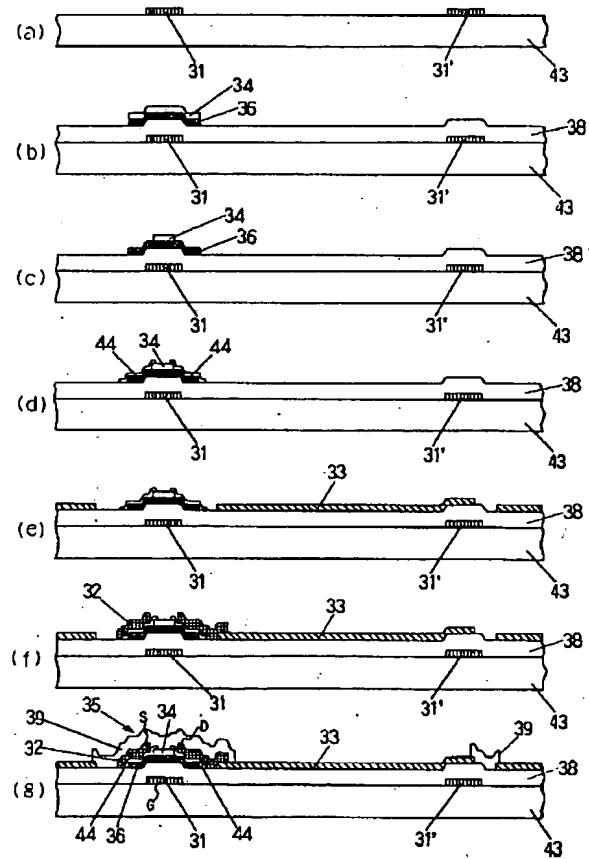
【図11】



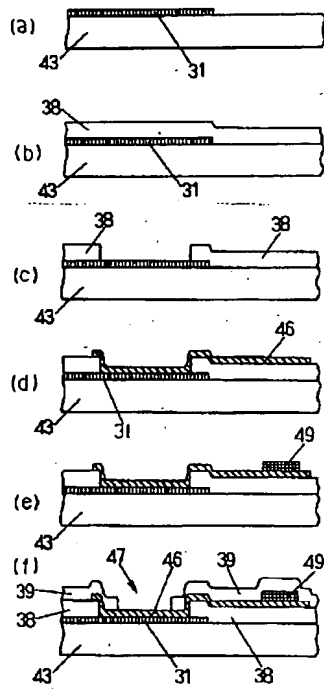
【図10】



【図12】



【図13】



【図14】

